БГУИР

Кафедра ЭВМ

Отчет по лабораторной работе № 2

Тема: «Исследование работы коммутационных логических элементов»

Выполнил:

студент группы 150503

Федорович И.И.

Сейко Е.В.

Проверил:

Тарасюк И.С.

Минск

2023

### 1. ЦЕЛЬ РАБОТ

Изучить работу коммутационных логических элементов.

### 2. ИСХОДНЫЕ ДАННЫЕ

Лабораторные модули dLab2, dLab3, dLab4, dLab5, dLab6, макетная плата лабораторной станции N1 ELVIS.

1. Изучение работы шифратора, дешифратора, мультиплексора, сумматора, цифрового компаратора (пункт 2 относится ко всем вышеназванным коммутационным логическим элементам);
2. Изменение состояний входов элемента (построение таблицы истинности и диаграммы состояний);
3. Определение активного логического сигнала на входе управления «Е» для шифратора, дешифратора и мультиплексора;
4. Определение условий появления активного низкого уровня на выходах G (групповой сигнал) и Е0 (разрешение на выход) для шифратора;
5. Проверка исследуемого шифратора на приоритетность;
6. Проверка полученных результатов сложения двоичных чисел сумматором;
7. Определение способов использования входов цифрового компаратора К555СП1 для сравнения пятиразрядных двоичных слов.

### 3. ТЕОРИЯ

# **3.1. Шифратор**

Шифратором (Coder – CD) M×N называют комбинационное устройство с М входами и N выходами, преобразующее М-разрядный унитарный код в N-разрядный двоичный код.

Шифраторы классифицируют по ряду признаков.

По числу входов различают:

* полные шифраторы, число входов которых М = 2N;
* неполные шифраторы, имеющих число входов М < 2N.

По уровням входных и выходных сигналов выделяют:

* шифраторы высокого уровня, активные сигналы на входах и выходах которых имеют уровень логической единицы;
* шифраторы низкого уровня, активные входные и выходные сигналы которых соответствуют уровню логического нуля.

По функциональной значимости входов шифраторы разделяют на:

* шифраторы с равнозначными функциями входов, в которых все вхо­ды равноценны и при подаче на любой из них активного уровня сиг­нала на выходе формируется двоичный код. В таких шифраторах нельзя подавать несколько входных сигналов одновременно от раз­ных источников, т. е. должна соблюдаться очередность подачи сиг­налов от разных источников. Если на один из входов шифратора по­дан сигнал, остальные входы шифратора должны быть заблокированы;
* приоритетные шифраторы, в которых возможна одновременная подача на входы сигналов от разных источников, однако только один из них, имеющий больший приоритет, выполнит функцию формирования выходного кода. Как правило, наивысший приоритет назначается входу с самым высоким порядковым номером.

На рисунке 3.1 приведено условное графическое обозначение приоритетного шифратора низкого уровня К555ИВ1.

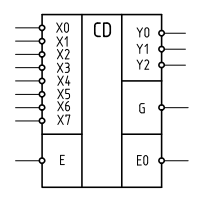


Рисунок 3.1 – Условное графическое обозначение шифратора К555ИВ1

Данная интегральная микросхема имеет следующий набор входных и выходных сигналов:

* восемь информационных входов Х0, Х1, ..., Х7;
* три информационных выхода Y0, Y1, Y2;
* вход разрешения работы данного шифратора EI;
* выход разрешения работы шифраторов при каскадировании Е0;
* выходной сигнал группового переноса G.

Работа дешифратора разрешена при подаче нуля на вход разрешения E1 (enable input). При этом на выходах кода Y0, Y1, Y2 формируется инверсный двоичный код номера активной входной линии. При одновременном поступлении нескольких входных сигналов формируется выходной код, соответствующий входу с наибольшим номером. То есть старшие входы имеют приоритет перед младшими. Поэтому такой шифратор называется приоритетным. При отсутствии входных сигналов формируется выходной код 111. Единичный сигнал на входе Е запрещает работу шифратора (все выходные сигналы устанавливаются в единицу).

На выходе G вырабатывается нуль при приходе любого активного входного сигнала. Это позволяет отличить ситуацию поступления сигнала на вход Х0 от ситуации отсутствия сигналов на всех входах.

Выход Е0 становится нулевым при отсутствии входных сигналов, если при этом разрешена работа шифратора нулевым сигналом на входе Е.

Работа устройства иллюстрируется таблицей состояний таблица 3.1.

Таблица 3.1 – Таблица состояний шифратора

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Входы | | | | | | | | | Выходы | | | | | |
| E1 | Х7 | Х6 | Х5 | Х4 | ХЗ | Х2 | XI | Х0 | Y2 | Y1 | Y0 | G | Е0 |
| 1 | × | × | × | × | × | × | × | × | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | × | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | × | × | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | × | × | × | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | × | × | × | × | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | × | × | × | × | × | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | × | × | × | × | × | × | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | × | × | × | × | × | × | × | 0 | 0 | 0 | 0 | 1 |

**Примечание:** символ × указывает на то, что состояние соответствующего сигнала не имеет значение, т.е. не влияет на состояние выходного кода.

Состояние выходных сигналов G и Е0 (enable output) шифратора описывается уравнениями (3.1) и (3.2):

, (3.1)

. (3.2)

Сигналы EI и Е0 используются для наращивания разрядности шифратора. На рисунке 3.2 приведена схема построения шифратора 16×4 на основе двух шифраторов 8×3.

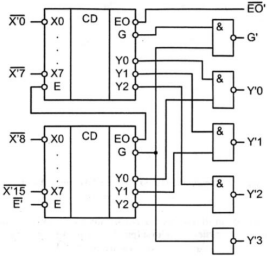


Рисунок 3.2 – Схема построения шифратора 16×4

Стандартное применение шифраторов состоит в сокращении количе­ства сигналов. Например, в случае шифратора К555ИВ1 информация о восьми входных сигналах сворачивается в три выходных сигнала. Это очень удобно, например, при передаче данных по информационным каналам.

Шифраторы также могут быть использованы при организации клавиа­туры для формирования кода нажатой клавиши. При этом каждому входу шифратора соответствует отдельная клавиша. Если ни одна из них не на­жата, об этом свидетельствует единичное значение сигнала G. При нажатии на какую-либо клавишу выход G переходит в единичное состояние, а на информационных выходах формируется код нажатой клавиши. При использовании приоритетного шифратора в случае одновременном нажатии нескольких клавиш формируется код клавиши с наибольшим приоритетом.

# **3.2 Дешифратор**

Дешифратором (Decoder – DC) M×N называют комбинационное устройство с М входами и N выходами, преобразующее M-разрядный двоичный код в N-разрядный унитарный код. В дешифраторах высокого уровня унитарный код содержит единственную 1, в дешифраторах низкого уровня – единственный 0.

Максимальное число выходов N =   соответствует всем возможным наборам сигналов на входе дешифратора или М-разрядным двоичным кодам. Дешифратор с максимальным числом N =    выходов называется полным (М×), а с числом выходов N < – неполным. Так, например, дешифратор, имеющий 4 входа и 10 выходов, будет неполным, а дешифратор, имеющий 2 входа и 4 выхода, будет полным.

На рисунке 3.3 приведено условное обозначение дешифратора 2×4 типа К531ИД14.

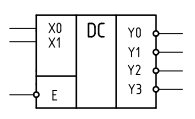


Рисунок 3.3 – Условное обозначение дешифратора 2x4

На входы Х0, X1, можно подать 4 комбинации логических уровней: 00, 01, 10, 11. Схема имеет 4 выхода, на одном из которых формируется нулевой сигнал, а на остальных единичный. Номер этого единственного выхода, на котором формируется нулевой уровень, соответствует числу M, определяемому состоянием входов Х0, X1, следующим образом:

(3.3)

Выходные сигналы дешифратора описываются соотношениями, представленными в формулах (3.4) – (3.7):

(3.4)

(3.5)

(3.6)

(3.7)

Помимо информационных входов Х0, XI дешифратор имеет дополнительные входы управления Е. Сигналы на этих входах, разрешают функционирование дешифратора или переводят его в пассивное состояние, при котором, независимо от сигналов на информационных входах, на всех выходах установится единичный сигнал. Можно сказать, что существует некоторая функция разрешения, значение которой определяется состояниями управляющих входов.

Разрешающий вход дешифратора может быть прямым или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом – уровень логического нуля. Дешифратор, представленный на рисунке 3.3, имеет один инверсный вход управления.

Формирование выходных сигналов в этом дешифраторе с учетом сигнала управления описывается формулами (3.8) – (3.10):

(3.8)

(3.9)

(3.10)

(3.11)

Существуют дешифраторы с несколькими входами управления. Для таких дешифраторов функция разрешения, как правило, представляет собой конъюнкцию всех разрешающих сигналов управления. Например, для дешифратора КР555ИД7 с одним прямым входом управления E1 и двумя инверсными Е2 и ЕЗ функция Е рассчитывается по формуле (3.12):

(3.12)

Работа дешифратора описывается с помощью таблицы 3.2.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Таблица 3.2 – Таблица состояний дешифратора | | | | | | |
| Входы | | | Выходы | | | |
| Е | XI | Х0 | Y3 | Y2 | Y1 | Y0 |
| 1 | x | x | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 |

На рисунке 3.4 приведена схема наращивания разрядности дешифратора. Для построения дешифратора 3×8 на основе двух полных дешифраторов 2×4 нужно соединить параллельно их входы Х0 и X1. Входной сигнал Х2 подключается непосредственно к входу разрешения Е младшего дешифратора и через инвертор к входу разрешения Е старшего дешифратора.

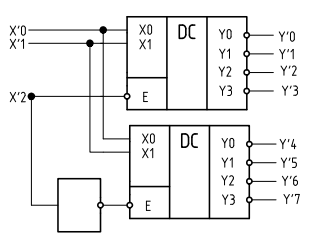


Рисунок 3.4 – Схема построения дешифратора 3×8 на основе 2×4

В зависимости от состояния сигнала Х2 только один из выходных дешифраторов будет реагировать на комбинацию сигналов на входах Х0 и X1. Только выбранный дешифратор сформирует единицу на одном из своих выходов, номер которого определяется сигналами X0 и Xl. Например, если на входах Х2 X1 Х0 присутствует число 101, то единичный сигнал в разряде Х2 запретит работу младшего дешифратора и на его выходах установятся единичные сигналы. На вход разрешения старшего дешифратора единичный сигнал Х2 поступает после инвертирования и разрешает его работу. В результате нулевой уровень появится на выходе Y5.

Дешифраторы находят широкое применение в вычислительной технике. В составе компьютеров, например, дешифраторы позволяют адресоваться к определённому устройству, с которым в данный момент осуществляется обмен информацией. Для этого достаточно подключить вход разрешения работы этого устройства к соответствующему выходу дешифратора, а входы дешифратора использовать для задания адреса устройства.

# **3.3 Мультиплексор**

Мультиплексором (Multiplexer – MUX) M×1 называют комбинационное устройство с M информационными (Х0, Х1, …, ХМ-1), К адресными   
(А0, А1, …, АК-1) входами и одним выходом (Y), которое осуществляет передачу сигнала с заданного адресным кодом информационного входа на его выход.

Кроме информационных и адресных входов, мультиплексор содержит вход разрешения, при подаче на который активного уровня мультиплексор переходит в активное состояние. Если на вход разрешения подан пассивный уровень, мультиплексор перейдет в пассивное состояние, при котором сигнал на выходе сохраняет постоянное значение независимо от значений информационных и адресных сигналов.

В зависимости от соотношения числа информационных входов М и числа адресных входов К мультиплексоры делятся на полные и неполные. Если выполняется условие М = 2К, то мультиплексор будет полным. Если это условие не выполняется, т.е. М < 2К, то мультиплексор будет неполным.

Число информационных входов у мультиплексоров обычно 2, 4, 8   
или 16. На рисунке 3.5 представлен мультиплексор 4×1 с инверсным входом разрешения Е и прямым выходом Y, представляющий собой половину микросхемы мультиплексора КР555КП2.

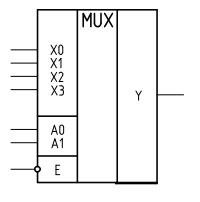


Рисунок 3.5 – Условное обозначение мультиплексора 4×1

Выражение для выходной функции такого мультиплексора можно записать в виде:

), (3.13)

где Х0, Х1, Х2, Х3 – информационные входы мультиплексора;

А0, А1 – адресные входы мультиплексора;

Е – вход разрешения.

Работа мультиплексора описывается таблицей состояний таблица 3.3.

Таблица 3.3 – Таблица состояний мультиплексора

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Е | А1 | А0 | Х3 | Х2 | Х1 | Х0 | Y |
| 1 | × | × | × | × | × | × | 0 |
| 0 | 0 | 0 | × | × | × | 0 | 0 |
| 0 | 0 | 0 | × | × | × | 1 | 1 |
| 0 | 0 | 1 | × | × | 0 | × | 0 |
| 0 | 0 | 1 | × | × | 1 | × | 1 |
| 0 | 1 | 0 | × | 0 | × | × | 0 |
| 0 | 1 | 0 | × | 1 | × | × | 1 |
| 0 | 1 | 1 | 0 | × | × | × | 0 |
| 0 | 1 | 1 | 1 | × | × | × | 1 |

**Примечание:** символ × указывает на то, что состояние соответствующего сигнала не имеет значение, т.е. не влияет на состояние входа.

Микросхемы мультиплексоров можно объединять для увеличения количества каналов. Например, два 4-канальных мультиплексора легко объединяются в 8-канальный с помощью инвертора на входах разрешения и элемента 2И-НЕ для объединения выходных сигналов. Данная схема представлена на рисунке 3.6.

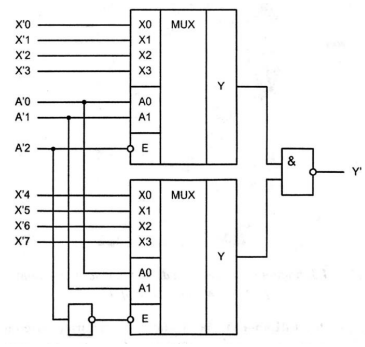


Рисунок 3.6 – Схема каскадирования мультиплексоров

Мультиплексоры нашли широкое применение в вычислительной технике в качестве коммутаторов цифровых сигналов. Они используются в компьютерах и микропроцессорных контроллерах для коммутации адресных входов динамических оперативных запоминающих устройств, в узлах объединения или разветвления шин и т.д.

На базе мультиплексоров можно построить различные комбинационные устройства с минимальным числом дополнительных элементов логики. Такой подход используется, например, в микросхемах в программируемой логикой – программируемых логических матрицах.

# **3.4 Сумматор**

Сумматоры предназначены для выполнения арифметических операций сложения и вычитания как двоичных, так и десятичных чисел. Ниже приведены основные классификационные признаки сумматора.

По виду выполняемой операции можно выделить две группы сумматоров:

* сумматоры, выполняющие сложение положительных чисел (без учета знака числа);
* сумматоры, выполняющие операцию сложения положительных и отрицательных чисел. Такие устройства называют сумматорами-вычитателями. Они могут работать в режиме алгебраического (с учетом знака) суммирования и вычитания чисел.

По используемой системе счисления сумматоры подразделяются на:

* двоичные сумматоры, выполняющие операции над двоичными числами;
* десятичные сумматоры, выполняющие операции над десятичными числами.

По последовательности выполнения операции во времени выделяют:

* параллельные сумматоры, в которых все разряды складываемых чисел подаются на входы сумматора одновременно. Такие сумматоры строятся на комбинационных устройствах и рассматриваются в дальнейшем;
* последовательные сумматоры, на входы которых разряды складываемых чисел подаются последовательно во времени (разряд за разрядом). В них используются элементы памяти.

Среди двоичных сумматоров различают одноразрядные и многоразрядные сумматоры. Одноразрядные сумматоры служат основой для построения многоразрядных. Многоразрядные сумматоры подразделяются на сумматоры с последовательным и параллельным переносом.

Полным одноразрядным сумматором, представленным на рисунке 3.7, называют комбинационное устройство с тремя входами и двумя выходами, выполняющее сложение трех одноразрядных чисел по правилам двоичной арифметики.

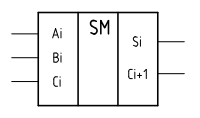


Рисунок 3.7 – Условное графическое обозначение полного одноразрядного сумматора

На входы сумматора поступают сигналы Ai, Bi i-го разряда и сигнал Ci перенос из предыдущего разряда, с выхода снимается сигналы текущего разряда суммы S и переноса Ci+1 в следующий разряд. Работа одноразрядного полного сумматора описывается таблицей состояний таблица 3.4.

Таблица 3.4 – Таблица состояний одноразрядного полного сумматора

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Входы | | | Выходы | |
| Сi | Bi | Ai | Ci+1 | Si |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

Выходной сигнал переноса формируется в соответствии с выражением (3.14):

(3.14)

Полные одноразрядные сумматоры используются для построения многоразрядных сумматоров. На рисунке 3.8 приведена схема соединения двух одноразрядных полных сумматоров для получения двухразрядного полного сумматора. Выход переноса предыдущего одноразрядного сумматора соединяется с входом переноса предыдущего. Полученный сумматор называется сумматором с последовательным переносом. Сумматор с последовательным переносом имеет низкое быстродействие, так как сигналы суммы и переноса старшего разряда появятся только после того, как последовательно сформируются сигналы переноса всех предыдущих разрядов.

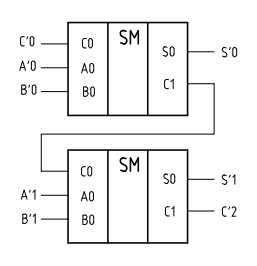


Рисунок 3.8 – Схема увеличения разрядности сумматора

Для увеличения быстродействия многоразрядного сумматора применяется схема ускоренного переноса, которая в соответствии с состоянием сигналов на информационных входах и входного переноса формирует выходной сигнал переноса. Такой сумматор называется сумматором с параллельным переносом. На этом принципе построен четырехразрядный сумматор K155ИМ3, представленный на рисунке 3.9.

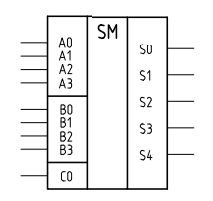


Рисунок 3.9 – Условное обозначение четырехразрядного сумматора

Путем соединения выводов переноса C0, C4 четырехразрядного сумматоров в последовательную цепь можно построить сумматоры с разрядностью 8, 12, 16 и т.д. Такой многоразрядный сумматор называется сумматором с последовательным групповым переносом.

# **3.5 Компаратор**

Цифровым компаратором (comparator) называется комбинационное устройство, предназначенное для сравнения кодов двух двоичных чисел и формирования результата сравнения в виде цифровых сигналов.

Компараторы делятся на две группы:

* схемы проверки равнозначности кодов;
* схемы сравнения кодов.

Схемы проверки равнозначности кодов имеют на входе две переменные A и B, каждая из которых содержит M двоичных разрядов, и один выход Y. При сравнении на равенство осуществляется поразрядное сравнение двух чисел, что позволяет затем сформировать на выходе всей схемы активный сигнал Y=1 при равенстве входных чисел. Функционирование схемы по каждому разряду подчиняется таблице истинности таблица 3.5. В этой таблице и являются i-тыми разрядами многоразрядных двоичных чисел A и B, а – результатом сравнения разрядов с номером i.

Таблица 3.5 – Таблица истинности поразрядного сравнения

|  |  |  |
| --- | --- | --- |
|  |  |  |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Многоразрядные двоичные числа будут равны, если выполняется равенство в каждом разряде, то есть =1 для каждого разряда. Чтобы сформировать окончательный результат сравнения многоразрядных чисел достаточно вычислить конъюнкцию по формуле (3.15):

, (3.15)

где M – число разрядов в сравниваемых числах;

Y – результат сравнения.

Только при поразрядном равенстве выходной сигнал Y будет равен логической единице.

Для построения многоразрядных схем сравнения используют элементы «исключающее ИЛИ». Эти элементы реализуют функцию, которая определяется выражением (3.16):

, (3.16)

Если сравнивать выражение (3.16) с таблицей 3.5, то можно заметить соотношения . Отсюда следует, что

, (3.17)

На рисунке 3.10 показана схема проверки на равенство, построенная на элементах «исключающее ИЛИ» в соответствии с выражением (3.17).

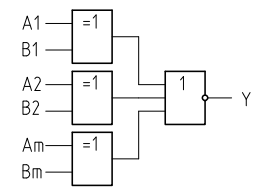


Рисунок 3.10 – Схема сравнения на равенство

Схемы сравнения выполняют более сложный логический анализ входных кодов и на выходе формируют три выходных сигнала, соответствующие результатам сравнения: A>B, A=B или A<B. Примером служит интегральная микросхема цифрового компаратора К555СП1.

Помимо восьми входов для сравниваемых кодов (два четырехразрядных слова, обозначаемых A0…A3 и B0…B3) компаратор К555СП1 имеет три управляющих входа для наращивания разрядности I(A<B), I(A<B), I(A=B) и три выхода результирующих сигналов (A>B), (A<B), (A=B).

Условное графическое изображение компаратора приведено на рисунке 3.11.

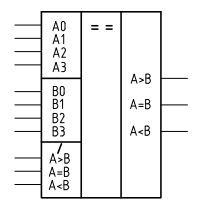


Рисунок 3.11 – Условное графическое изображение компаратора

Работа четырехразрядного компаратора описывается таблицей истинности (таблица 3.6).

Таблица 3.6 – Таблица истинности четырехразрядного компаратора

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Входы сравниваемых кодов | | | | Входы наращивания | | | Выходы | | |
| A3,B3 | A2,B2 | A1,B1 | A0,B0 | I(A>B) | I(A<B) | I(A=B) | (A>B) | (A<B) | (A=B) |
| A3>B3 | × | × | × | × | × | × | 1 | 0 | 0 |
| A3<B3 | × | × | × | × | × | × | 0 | 1 | 0 |
| A3=B3 | A2>B2 | × | × | × | × | × | 1 | 0 | 0 |
| A3=B3 | A2<B2 | × | × | × | × | × | 0 | 1 | 0 |
| A3=B3 | A2=B2 | A1>B1 | × | × | × | × | 1 | 0 | 0 |
| A3=B3 | A2=B2 | A1<B1 | × | × | × | × | 0 | 1 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0>B0 | × | × | × | 1 | 0 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0<B0 | × | × | × | 0 | 1 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | 1 | 0 | 0 | 1 | 0 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | 0 | 1 | 0 | 0 | 1 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | × | × | 1 | 0 | 0 | 1 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | 1 | 1 | 0 | 0 | 0 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | 0 | 0 | 0 | 1 | 1 | 0 |

**Примечание:** символ × указывает на то, что состояние соответствующих сигналов не влияет на состояние выхода.

В том случае, когда используется одиночная микросхема (разрядность входных кодов не более четырех), для ее правильной работы на вход I(A=B) следует подавать сигнал «1», а на выходы I(A>B) и I(A<B) – сигнал «0». Если сравниваются коды с разрядностью более четырех, то выходы компаратора младших разрядов подключаются к одноименным входам компаратора старших разрядов сравниваемых чисел. Выходами всего многоразрядного компаратора кодов являются выходы компаратора самых старших сравниваемых разрядов.

На рисунке 3.12 показана схема построения 12-разрядного компаратора на основе четырехразрядных компараторов.

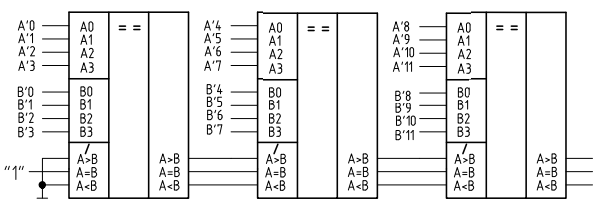


Рисунок 3.12 – Каскадирование цифровых компараторов

Основным применением цифровых компараторов в вычислительной технике является селектирование адреса, то есть сравнение цифрового кода на шине адреса с заданным базовым адресом. При их совпадении на выходе компаратора появляется сигнал, разрешающий работу адресуемого устройства.

# **4. ВЫПОЛНЕНИЕ**

# **4.1 Изучение работы шифратора**

# **4.1.1 Подготовка лабораторного модуля dLab2**

Установить лабораторный модуль dLab2 на макетную плату лабораторной станции NI ELVIS. Внешний вид модуля показан на рисунке 4.1.

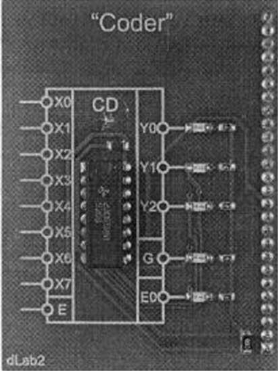


Рисунок 4.1 – Внешний вид модуля dLab2

Запускаем файл dLab2.vi. На экране появляется изображение виртуального прибора (ВП), необходимого для выполнения работы (рисунок 4.2). Запускаем программу, щелкнув левой кнопкой мыши на экранной кнопке RUN.

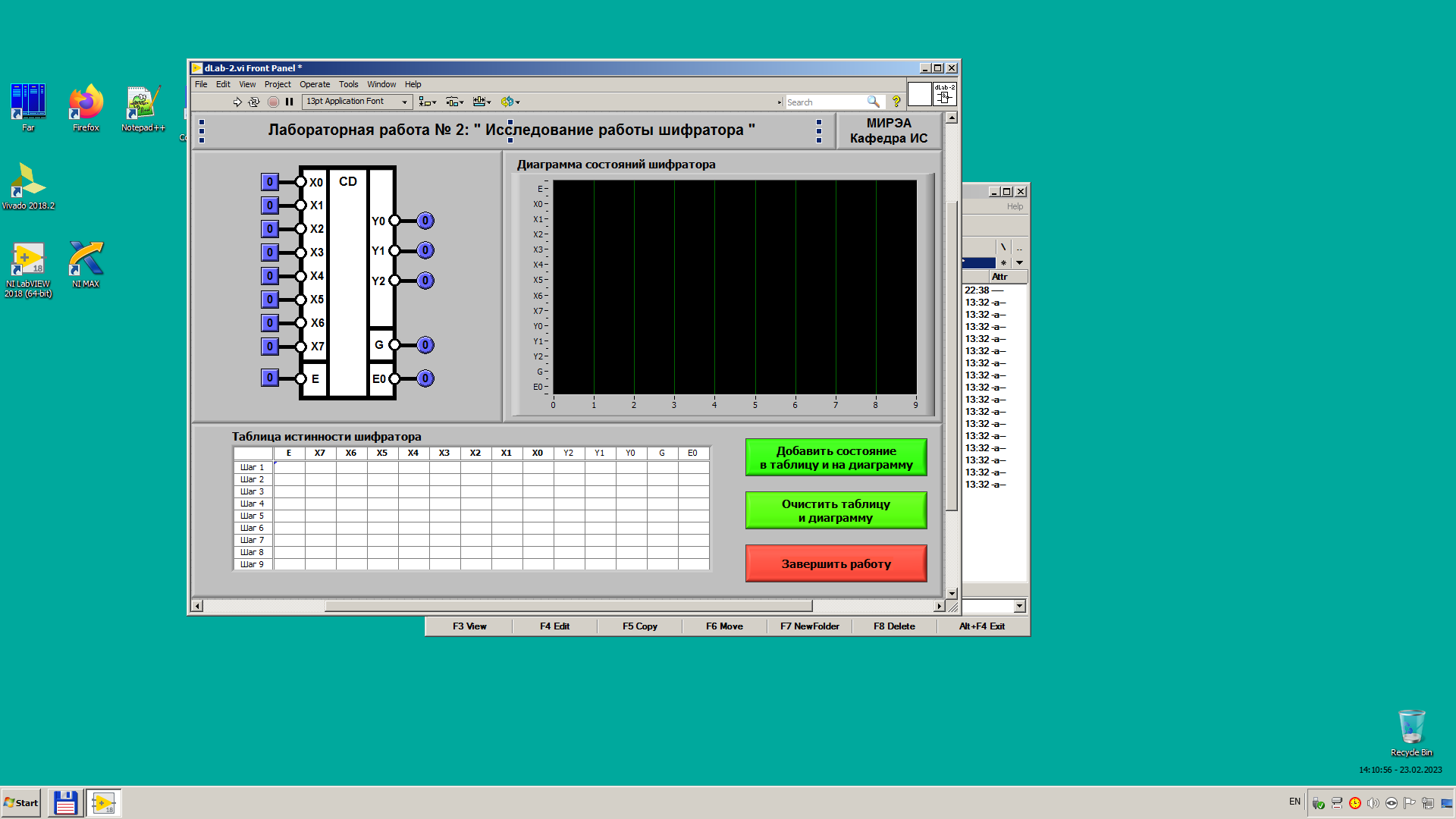


Рисунок 4.2 – Лицевая панель BП при работе с шифратором

# **4.1.2 Изменение состояний входов шифратора**

Установив на входе «Е» шифратора логический сигнал «0 и поочередно изменяя значения на остальных входах, получаем таблицу истинности шифратора, которая представлена на рисунке 4.3, и диаграмму состояний, которая представлена на рисунке 4.4.

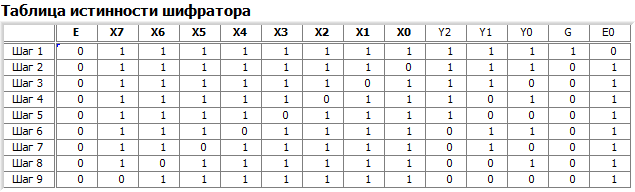


Рисунок 4.3 – Таблица истинности шифратора при установленном на входе «Е» значении логического сигнала «0»

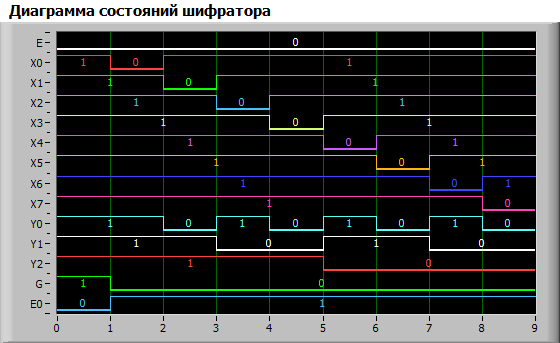


Рисунок 4.4 – Диаграмма состояний шифратора при установленном на входе «Е» значении логического сигнала «0»

Установив на входе «Е» шифратора логический сигнал «1» и повторив те же действия, получаем соответствующую таблицу истинности шифратора, которая представлена на рисунке 4.5, и диаграмму состояний, которая представлена на рисунке 4.6.

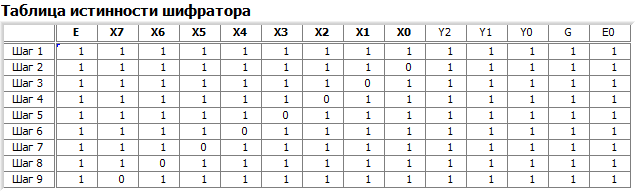


Рисунок 4.5 – Таблица истинности шифратора при установленном на входе «Е» значении логического сигнала «1»

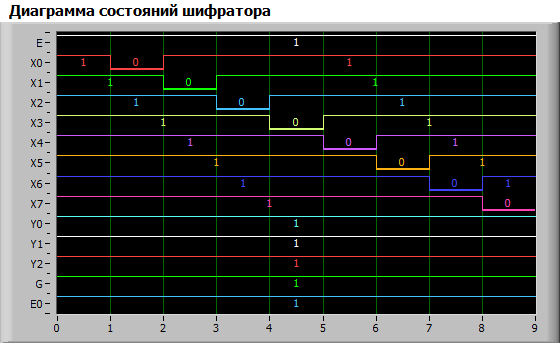


Рисунок 4.6 – Диаграмма состояний шифратора при установленном на входе «Е» значении логического сигнала «1»

# **4.1.3 Определение активного логического сигнала на входе управления «Е» и условий появления активных низких уровней на выходах G (групповой сигнал) и E0 (разрешение на выход)**

Сравнив две таблицы истинности при установленном на входе «Е» значении логического сигнала «0» (рисунок 4.3) и логического сигнала «1» (рисунок 4.5), сделан выводы:

* активным логическим сигналом на входе управления «Е» является логический сигнал «0»;
* низкий активный уровень на входе G появляется при приходе любого активного входного сигнала. Это позволяет отличить ситуацию поступления сигнала на вход Х0 от ситуации отсутствия сигналов на всех входах. Выход Е0 становится нулевым при отсутствии входных сигналов, если при этом разрешена работа шифратора нулевым сигналом на входе Е.

# **4.1.4 Проверка исследуемого шифратора на приоритетность**

Для изучения приоритетности шифратора необходимо установить на любых двух входах шифратора значение логического сигнала «0» и определить, номер какого входа был закодирован выходным сигналом. Если шифратор является приоритетным, то на выходе устройства будет код, соответствующий большому по значению входу. На рисунке 4.7 показана таблица истинности при подачи активного сигнала на входы Х3 и Х4.

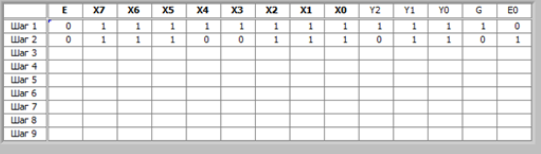


Рисунок 4.7 – Таблица истинности шифратора при значении логического сигнала «0» на входах Х3 и Х4

Сравнив данную таблицу истинности и таблицу истинности шифратора при установленном на входе «Е» значении логического сигнала «0» (рисунок 4.3), сделан вывод, что данный шифратор является приоритетным, так как вход Х4 был закодирован выходным сигналом.

# **4.2 Изучение работы дешифратора**

# **4.2.1 Подготовка лабораторного модуля dLab3**

Установить лабораторный модуль dLab3 на макетную плату лабораторной станции NI ELVIS. Внешний вид модуля показан на рисунке 4.8.

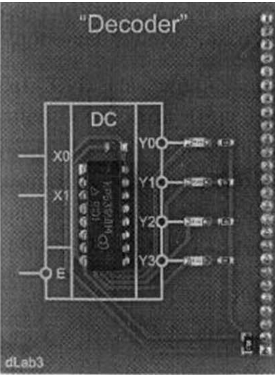


Рисунок 4.8 – Внешний вид модуля dLab3

Запускаем файл dLab3.vi. На экране появляется изображение виртуального прибора (ВП), необходимого для выполнения работы (рисунок 4.9). Запускаем программу, щелкнув левой кнопкой мыши на экранной кнопке RUN.

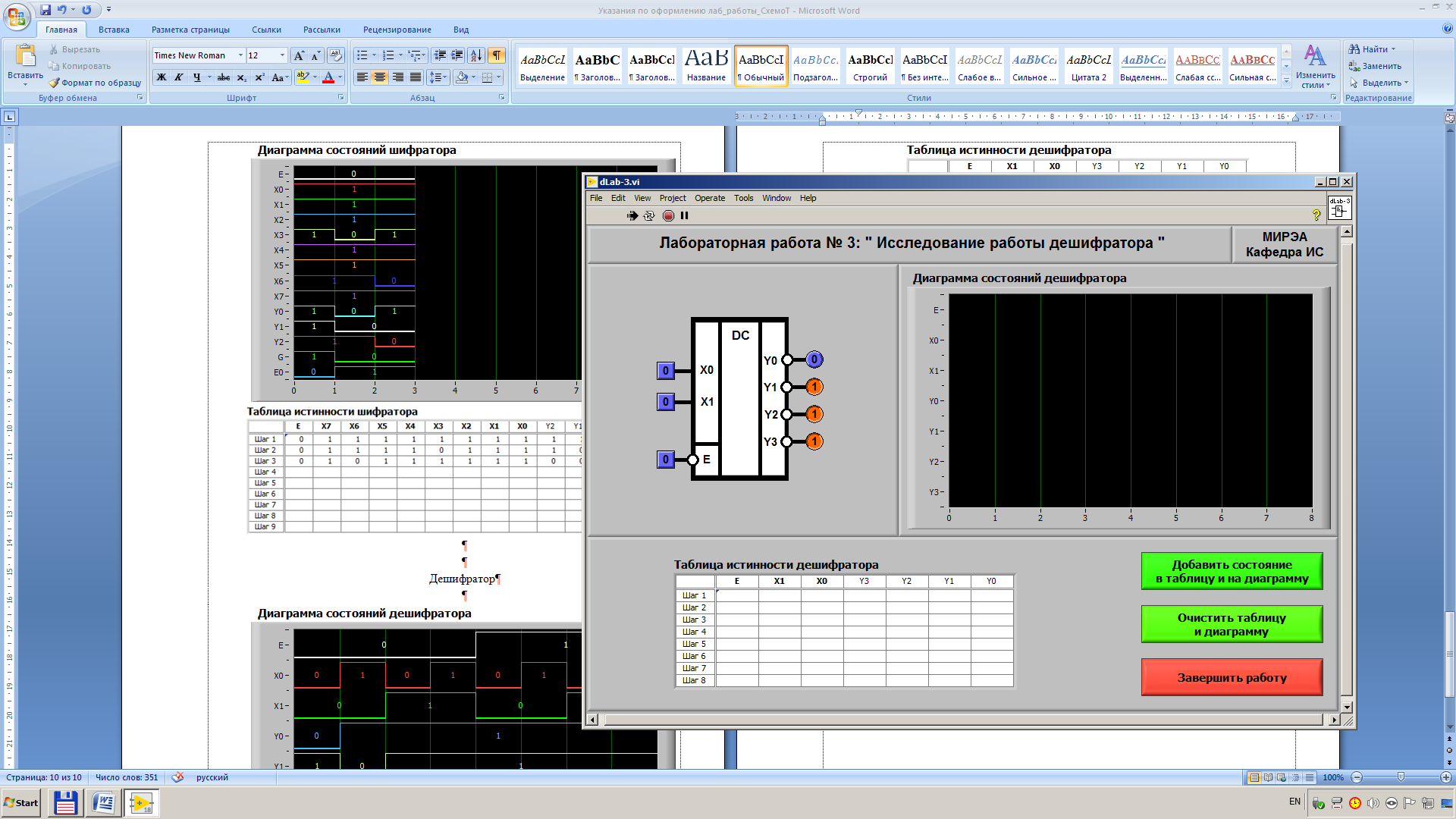


Рисунок 4.9 – Лицевая панель BП

# **4.2.2 Изменение состояний входов дешифратора**

После использования всех возможных комбинаций на входе, получаем таблицу истинности дешифратора, которая представлена на рисунке 4.11, и диаграмму состояний, которая представлена на рисунке 4.12.



Рисунок 4.11 – Таблица истинности дешифратора



Рисунок 4.12 – Диаграмма состояний дешифратора

# **4.2.3 Определение активного логического сигнала на входе управления «Е»**

Проанализировав таблицу истинности дешифратора (рисунок 4.11), сделан вывод, что активным логическим сигналом на входе управления «Е» является логический сигнал «0», так как только при этом сигнале можно однозначно определить, какие сигналы будут на выходах дешифратора.

# **4.3 Изучение работы мультиплексора**

# **4.3.1 Подготовка лабораторного модуля dLab4**

Установив лабораторный модуль dLab4 на макетную плату NI ELVIS и загрузив файл dLab4.vi, запустим программу, щелкнув левой кнопкой мыши на экранной кнопке RUN. На экране появится изображение ВП, необходимого для выполнения работы (рисунок 4.13).

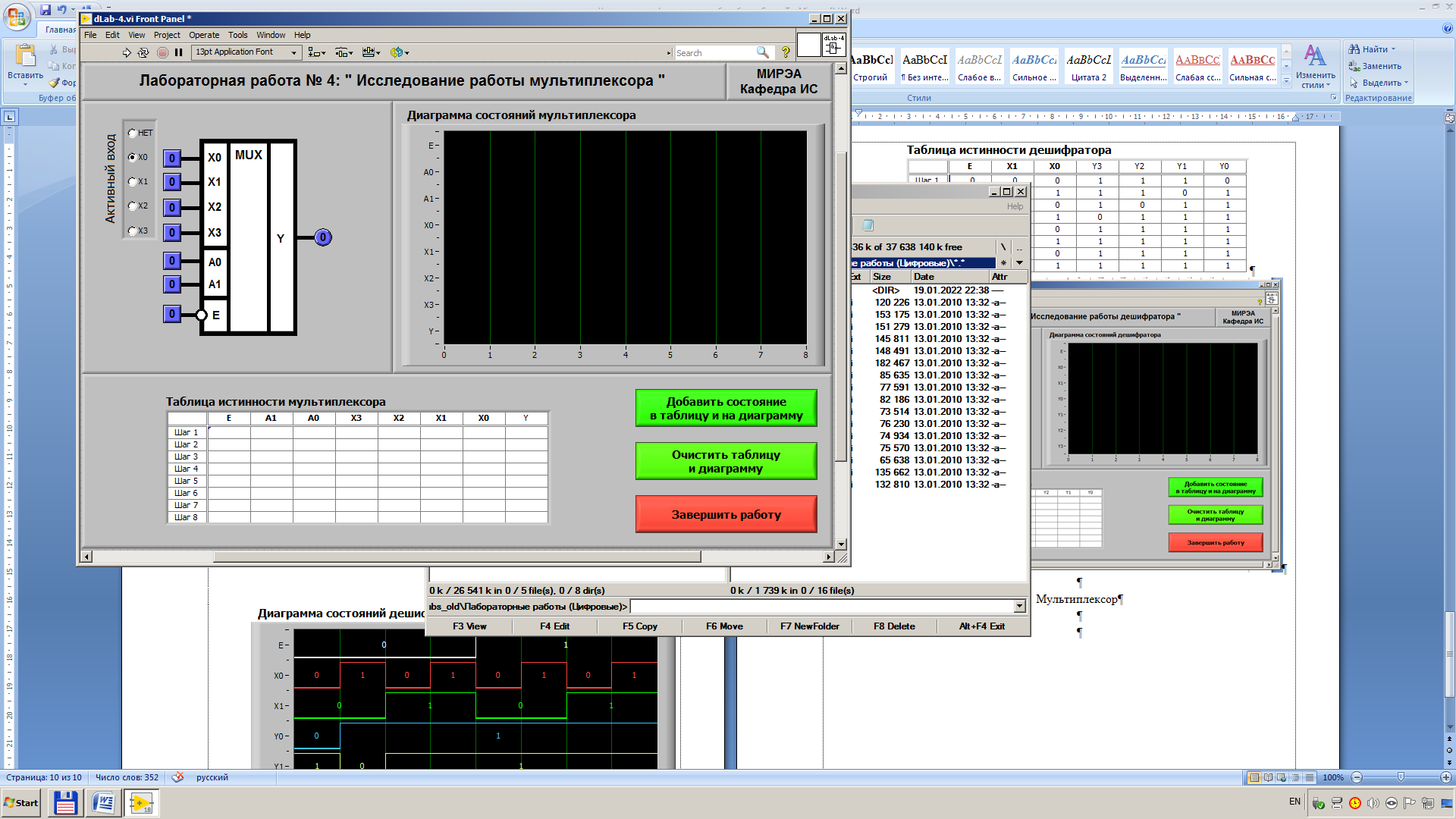


Рисунок 4.13 – Лицевая панель BП

# **4.3.2 Изменение состояний входов мультиплексора**

После использования всех возможных комбинаций на входе, получаем таблицу истинности мультиплексора, которая представлена на рисунке 4.14, и диаграмму состояний, которая представлена на рисунке 4.15.



Рисунок 4.14 – Таблица истинности мультиплексора



Рисунок 4.15 – Диаграмма состояний мультиплексора

# **4.3.3 Определение активного логического сигнала на входе управления «Е»**

Проанализировав таблицу истинности мультиплексора (рисунок 4.14), сделан вывод, что активным логическим сигналом на входе управления «Е» является логический сигнал «0», так как при этом сигнале выход равен ненулевому значению, подаваемого на один из информационных входов мультиплексора.

# **4.4 Изучение работы сумматора**

# **4.4.1 Подготовка лабораторного модуля dLab5**

Установив лабораторный модуль dLab5 на макетную плату NI ELVIS и загрузив файл dLab5.vi, запустим программу, щелкнув левой кнопкой мыши на экранной кнопке RUN. На экране появится изображение ВП, необходимого для выполнения работы (рисунок 4.16).

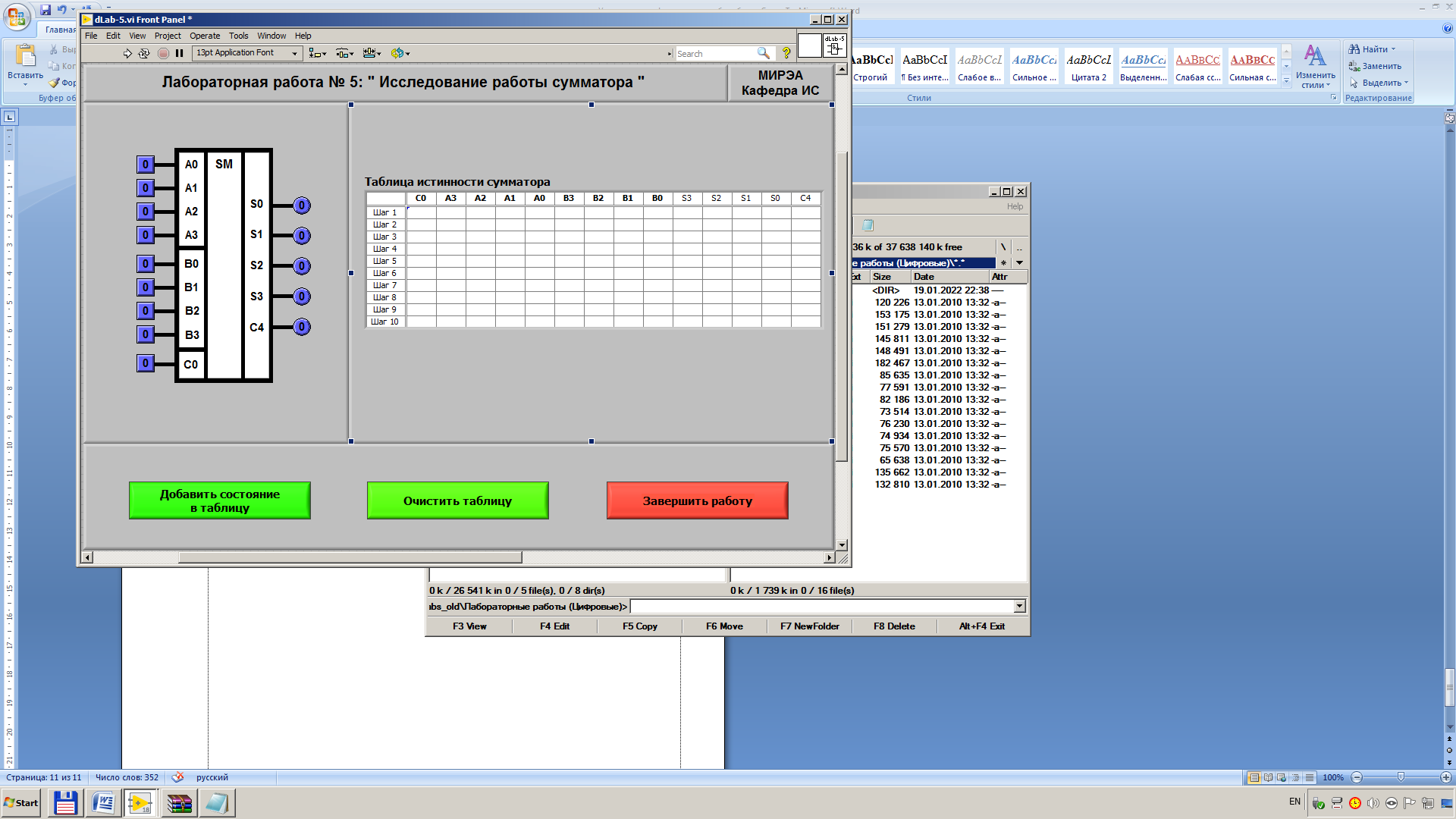


Рисунок 4.16 – Лицевая панель BП

# **4.4.2 Изменение состояний входов сумматора**

Изменяя значения на входах сумматора, получена таблица истинности, представленная на рисунке 4.17, и диаграмма состояний, которая представлена на рисунке 4.18.

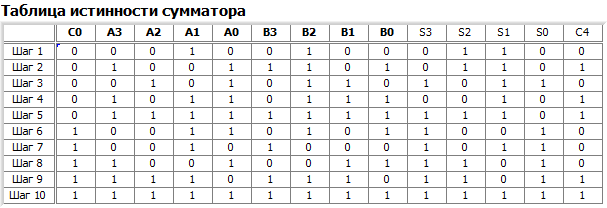


Рисунок 4.17 – Таблица истинности сумматора



Рисунок 4.18 – Диаграмма состояний сумматора

# **4.4.3 Проверка полученных результатов сложения двоичных чисел сумматором**

С помощью следующего уравнения проверим работу сумматора:

С0+20(𝐴0 + 𝐵0)+21(𝐴1 + 𝐵1 )+22(𝐴2 + 𝐵2 )+23(𝐴3 + 𝐵3 ) = 20𝑆0 + 21𝑆1 +22𝑆2+23𝑆3 +24𝐶4 (4.1)

Результаты подстановки приведены в таблице 4.1.

Таблица 4.1 – Результаты сложения двоичных чисел сумматора

|  |  |
| --- | --- |
| Шаг | Расчеты |
| 1. | 0+20·0+21·1+22·1+23·0 = 20·0+21·1+22·1+23·0+24·0 |
| 2. | 0+20·10+21·0+22·1+23·10 = 20·0+21·1+22·1+23·0+24·1 |
| 3. | 0+20·1+21·1+22·10+23·0 = 20·1+21·1+22·0+23·1+24·0 |
| 4. | 0+20·10+21·10+22·1+23·1 = 20·0+21·1+22·0+23·0+24·1 |
| 5. | 0+20·10+21·10+22·10+23·10 = 20·0+21·1+22·1+23·1+24·1 |
| 6. | 1+20·10+21·1+22·1+23·0 = 20·1+21·0+22·0+23·1+24·0 |
| 7. | 1+20·0+21·1+22·0+23·1 = 20·1+21·1+22·0+23·1+24·0 |
| 8. | 1+20·10+21·1+22·0+23·1 = 20·1+21·0+22·1+23·1+24·0 |
| 9. | 1+20·0+21·10+22·10+23·10 = 20·1+21·0+22·1+23·1+24·1 |
| 10. | 1+20·10+21·10+22·10+23·10 = 20·1+21·1+22·1+23·1+24·1 |

# **4.5 Изучение работы компаратора**

# **4.5.1 Подготовка лабораторного модуля dLab6**

Установив лабораторный модуль dLab6 на макетную плату NI ELVIS и загрузив файл dLab6.vi, запустим программу, щелкнув левой кнопкой мыши на экранной кнопке RUN. На экране появится изображение ВП, необходимого для выполнения работы (рисунок 4.19).

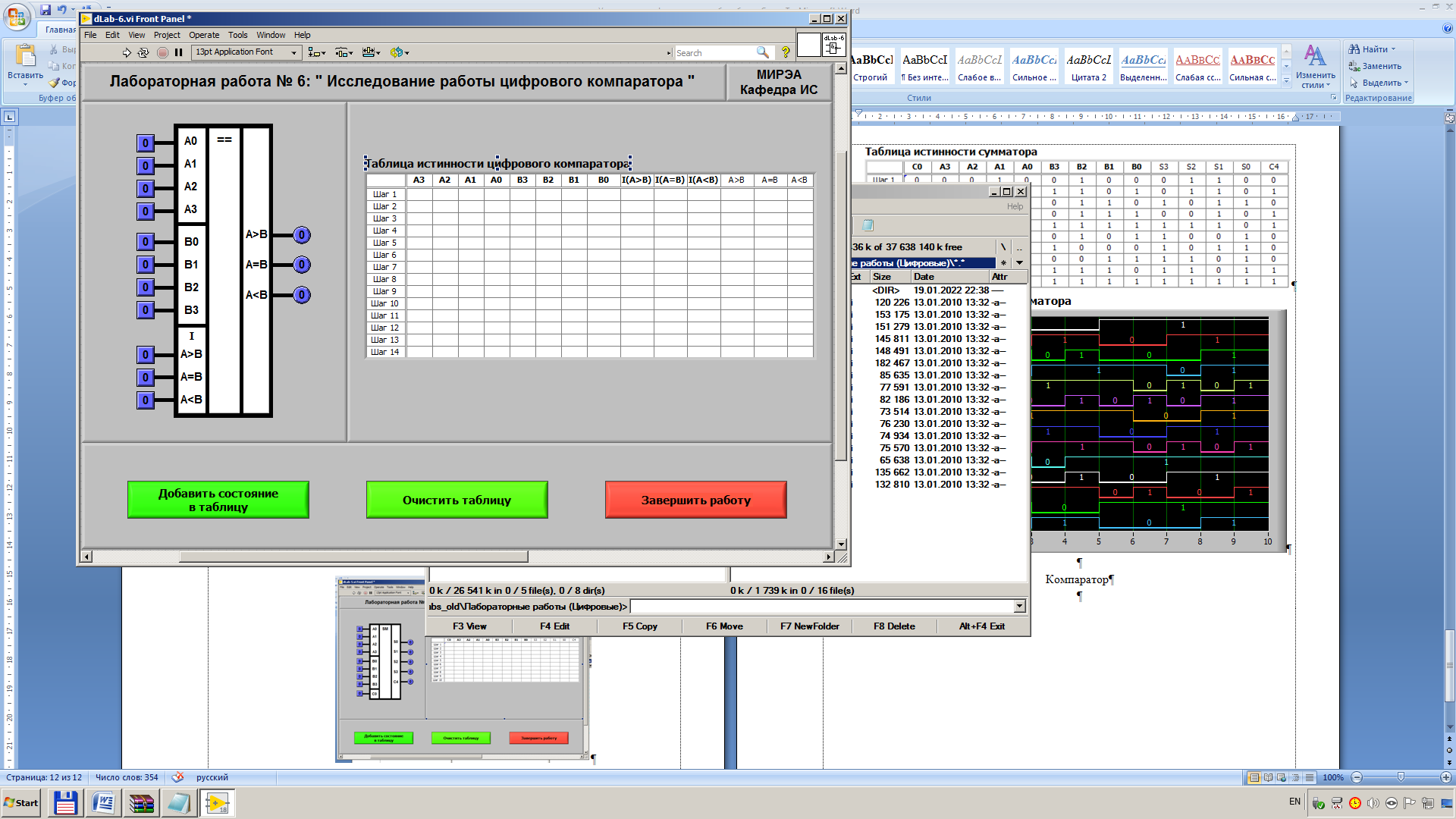


Рисунок 4.19 – Лицевая панель BП

# **4.5.2 Изменение состояний входов компаратора**

Изменяя значения на входах компаратора, получена таблица истинности, представленная на рисунке 4.20, и диаграмма состояний, которая представлена на рисунке 4.21.



Рисунок 4.20 – Таблица истинности компаратора

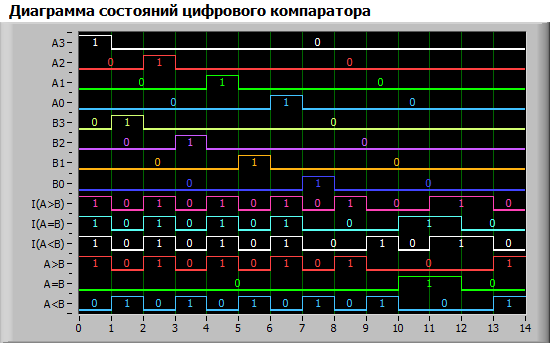


Рисунок 4.21 – Диаграмма состояний компаратора

# **4.5.3 Определение способов использования входов цифрового компаратора К555СП1 для сравнения пятиразрядных двоичных чисел**

На основе таблицы истинности, представленной на рисунке 4.20, четырехразрядного компаратора, можно сделать вывод, что для сравнения пятиразрядных двоичных чисел можно использовать компаратор, который будет сравнивать четыре младшие разряды, а на управляющие входы подать результат сравнения пятого разряда.

# **5. ВЫВОД**

В процессе выполнения лабораторной работы была изучена работа таких коммутационных логических элементов, как шифратор, дешифратор, мультиплексор, сумматор, цифрового компаратор. Для них были построены таблицы истинности и диаграммы состояний логических элементов.

Для шифратора, дешифратора и мультиплексора были определены активные логические сигналы на входе управления «Е». Также в ходе изучения шифратора были определены условия активного низкого уровня на выходах G и Е0 и проведена проверка шифратора на приоритетность.

Работа сумматора была проверена с помощью специального уравнения.

При работе с компаратором был выявлен также способ использования входов цифрового компаратора К555СП1 для сравнения пятиразрядных двоичных чисел.